



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010007088

(43) Publication.Date. 20010126

(21) Application No.1020000026904

(22) Application Date. 20000519

(51) IPC Code:

G11C 29/00

(71) Applicant:

MITSUBISHI ELECTRIC CORP

(72) Inventor:

HAMADA MITSUHIRO

OTANI JUN

(30) Priority:

99 160860 19990608 JP

(54) Title of Invention

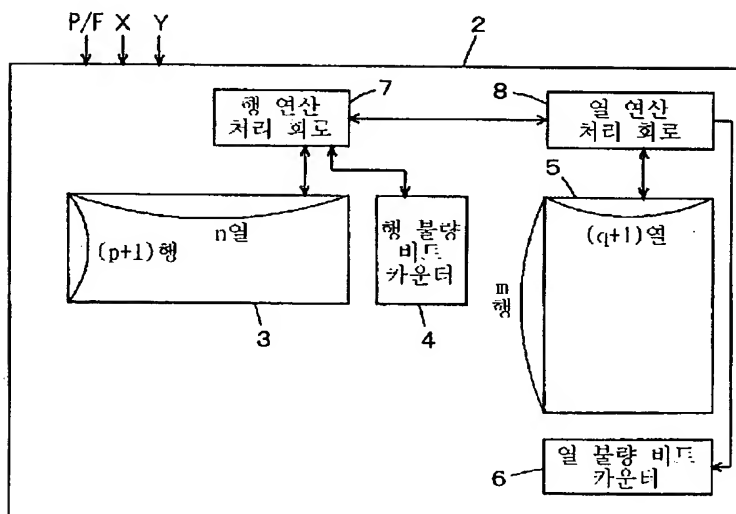
SEMICONDUCTOR TESTING APPARATUS

Representative drawing

(57) Abstract:

PURPOSE: To obtain a semiconductor testing apparatus which shortens the time required for judging whether the defective bit of a semiconductor memory can be relieved or not and which reduces the memory capacity of a defective-bit storage memory.

CONSTITUTION: In this semiconductor testing apparatus, a row defective-bit storage memory 3 which corresponds to a spare row circuit and a column defective-bit storage memory 5 which corresponds to a spare column circuit are installed separately, and defective bits of the defective-bit storage memories are counted respectively by a row defective-bit counter 4 and a column defective-bit counter 6. Whether a defective row can be relieved or not and whether a defective column can be relieved are judged by using the row defective-bit storage memory and



the column defective-bit storage memory.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 29/00	(11) 공개번호 특2001-0007088
	(43) 공개일자 2001년01월26일
(21) 출원번호 10-2000-0026904	
(22) 출원일자 2000년05월19일	
(30) 우선권주장 1999-160860 1999년06월08일 일본(JP)	
(71) 출원인 미쓰비시덴키 가부시기가이샤 다니구찌 이찌로오	
	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고미쓰비시덴키 가부시기가이샤 기타오카 다카시
(72) 발명자 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 하마다미쓰히로	
	일본도쿄도지요다쿠마루노우찌2쵸메2-3미쓰비시덴키가부시기가이샤내 오타니준
(74) 대리인 일본도쿄도지요다쿠마루노우찌2쵸메2-3미쓰비시덴키가부시기가이샤내 장수길, 구영창	

실시예

(54) 반도체 기억 장치를 위한 시험 장치

요약

스페어 행 회로에 대응하는 행 불량 비트 기억 메모리(3) 및 스페어 열 회로에 대응하는 열 불량 비트 기억 메모리(5)를 별도로 설치하고, 이들의 불량 비트 기억 메모리의 불량 비트를 행 불량 비트 카운터(4) 및 열 불량 비트 카운터(6)로 각각 카운트한다. 불량 행의 복구 가부 및 불량 열의 복구 가부를 각각의 행 불량 비트 기억 메모리 및 열 불량 비트 기억 메모리를 이용하여 판단한다. 반도체 메모리의 불량 비트 복구 가부 판정에 필요한 시간을 단축하고 또한 불량 비트 기억 메모리의 기억 용량이 저장된다.

배치도

도2

색인어

불량 비트 기억 메모리, 불량 비트 카운터, 반도체 메모리, 반도체 시험 장치, 메모리 어레이

영세서

도면의 간단한 설명

- 도 1은 본 발명에서 이용되는 반도체 메모리의 구성을 개략적으로 나타낸 도면.
- 도 2는 본 발명의 실시 형태 1에 따른 복구 가부 판정 장치의 구성을 개략적으로 나타낸 도면.
- 도 3은 도 1 및 도 2에 도시하는 피시형 반도체 메모리 및 복구 가부 판정 장치의 구체예를 나타낸 도면.
- 도 4는 본 발명에 따른 불량 비트 복구 가부 판정 장치의 동작을 나타낸 플로우도.
- 도 5는 피시형 반도체 메모리의 불량 비트의 분포 및 복구 비트를 개략적으로 나타낸 도면.
- 도 6은 본 발명의 실시 형태 1에서의 복구 가부 판정 장치의 상태를 개략적으로 나타낸 도면.
- 도 7은 본 발명의 실시 형태 1에서의 복구 가부 판정 장치의 내부 상태를 예시적으로 나타낸 도면.
- 도 8은 본 발명의 실시 형태 1에서의 복구 가부 판정 장치의 내부 상태를 개략적으로 나타낸 도면.
- 도 9는 본 발명의 실시 형태 1에서의 복구 가부 판정 장치의 내부 상태를 개략적으로 나타낸 도면.
- 도 10은 본 발명의 실시 형태 1에서의 복구 가부 판정 장치의 내부 상태를 개략적으로 나타낸 도면.
- 도 11은 본 발명의 실시 형태 1에서의 복구 가부 판정 장치의 내부 상태를 개략적으로 나타낸 도면.
- 도 12는 테스트 종료 시에서의 복구 가부 판정 장치의 내부 상태를 개략적으로 나타낸 도면.
- 도 13은 본 발명의 실시 형태 1에 따른 복구 가부 판정 장치의 동작을 나타낸 플로우도.

도 14는 도 13에 도시하는 행측 불량 비트 기억 메모리의 조작 플로우를 나타낸 도면.
 도 15는 도 14에 도시하는 플로우에 이어지는 행측 불량 비트 기억 메모리의 조작 플로우를 나타낸 도면.
 도 16은 도 13에 도시하는 열측 불량 비트 기억 메모리의 조작 플로우를 나타낸 도면.
 도 17은 도 16에 도시하는 플로우에 이어지는 열측 불량 비트 기억 메모리의 조작 플로우를 나타낸 도면.
 도 18은 도 2에 도시하는 연산 처리 회로의 구성을 개략적으로 나타낸 도면.
 도 19는 본 발명의 실시 형태 2에 따른 복구 가부 판정 장치의 구성을 개략적으로 나타낸 도면이다.
 도 20은 본 발명의 실시 형태 3에 따른 복구 가부 판정 장치의 동작을 나타낸 플로우도.
 도 21은 종래의 반도체 시험 장치의 구성을 개략적으로 나타낸 도면.
 도 22는 종래의 복구 가부 판정 장치의 구성을 개략적으로 나타낸 도면.
 도 23은 종래의 피시험 반도체 메모리의 시험 조작을 나타낸 플로우도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 피시험 반도체 메모리
 1a : 메모리셀 어레이
 1r : 스페어 행 회로
 1c : 스페어 열 회로
 2 : 복구 가부 판정 장치
 3 : 행 불량 비트 기억 메모리
 4 : 행 불량 비트 카운터
 4a : 카운트 회로
 5 : 열 불량 비트 기억 메모리
 6 : 열 불량 비트 카운터
 6a : 카운트 회로
 7 : 행 연산 처리 회로
 8 : 열 연산 처리 회로
 20 : 연산 처리 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래 기술

본 발명은 반도체 시험 장치에 관한 것으로, 특히 반도체 기억 장치의 불량 메모리셀 위치를 특정하고, 또한 용장 회로에 의한 불량 복구가 가능한지의 여부를 판정하기 위한 반도체 시험 장치에 관한 것이다.

반도체 기억 장치에서는 수율 등의 관점에서부터 용장 회로를 설치하고, 이 용장 회로를 이용하여 불량 개소(불량 메모리셀)를 복구하는 것이 행해진다. 이 용장 회로(이하, 스페어 회로라고 칭한다)는 예비 행(X) 및 예비 열(Y)로 구성되어 있다. 불량 메모리셀(불량 비트)이 존재하는 행 또는 열을 이 예비 행 또는 예비 열로 치환함으로써 불량 비트를 복구한다.

이 불량 비트의 복구를 위해서, 종래에는 반도체 기억 장치(이하, 반도체 메모리라고 칭한다)의 웨이퍼 프로세스 완료 후, 반도체 메모리에 대한 시험이 행해졌었다. 이 시험에서는 불량 비트가 반도체 메모리 내에 존재하는지의 여부를 검출하고, 또한 불량 비트가 검출된 경우 스페어 회로를 이용하여 이 불량 비트를 복구할 수 있는지의 여부를 판정한다.

도 21은 종래의 반도체 시험 장치(이하, 테스터라고 칭한다)의 구성을 개략적으로 나타낸 도면이다. 도 21에서 테스터(102)는 피시험 반도체 메모리(1)에 대하여 소정의 시퀀스로 테스트 패턴을 발생하여, 피시험 반도체 메모리(1)에 기입하는 패턴 발생기(103)와, 피시험 반도체 메모리(1)로부터 판독된 데이터를 기대치와 비교하여 판독된 비트(메모리셀)의 양/불량[패스/페일(pass/fail)]을 판정하는 패스/페일 판정기(104)와, 패스/페일 판정기(104)의 판정 결과에 따라서 피시험 반도체 메모리(1)의 복구가 가능한지의 여부를 판정하는 동시에 불량 어드레스를 검출하는 복구 가부 판정 장치(105)를 포함한다.

도 22는 도 21에 도시하는 복구 가부 판정 장치(105)의 구성을 개략적으로 나타낸 도면이다. 반도체 메모리(1)는 메모리셀이 행렬형으로 배열되는 메모리 어레이(1a)를 포함한다. 도 22에서는 메모리셀 어레이(1a)가 4행 4열로 배열되는 메모리셀을 포함하도록 도시된다.

복구 가부 판정 장치(105)는 이 반도체 메모리(1)의 메모리 어레이(1a)에서의 불량 비트의 위치를 기억하기 위한 불량 비트 기억 메모리(106)와, 불량 비트 기억 메모리(106)의 각 행에 대응하여 배치되는 카운트 회로를 포함하고, 불량 비트 기억 메모리(106)의 각 행의 불량 비트의 수를 카운트하는 행측 불량 비트 카운터(107)와, 불량 비트 기억 메모리(106)의 각 열에 대응하여 배치되는 카운트 회로를 포함하고 각 열의 불량 비트의 수를 카운트하는 열측 불량 비트 카운터(108)를 포함한다.

불량 비트 기억 메모리(106)는 반도체 메모리(1)의 메모리 어레이(1a)와 동일한 정도의 기억 용량을 가지며, 패스/페일 판정기(104)로부터의 양부 판정 결과에 따라서, 불량 비트라고 판정된 비트 위치에, 불량 비트임을 나타내는 정보를 저장한다. 다음은, 도 21 및 도 22에 도시하는 테스트(102) 및 복구 가부 판정 장치(105)의 동작에 대하여 도 23에 도시하는 플로우도를 참조하여 설명한다.

우선, 피시형 반도체 메모리(1)를 시험하는 동작이 행해진다(스텝 S1). 이 시험 조작에서는 우선 패턴 발생기(103)가 소정의 시퀀스로 미리 정해진 테스트 패턴을 발생하고, 테스트(102)가 패턴 발생기(103)로부터 발생된 테스트 패턴을 피시형 반도체 메모리(1)에 기입한다(스텝 S1a).

계속해서, 피시형 반도체 메모리(1)의 전 비트에 테스트 패턴 데이터를 기입한 후, 피시형 반도체 메모리(1)로부터 데이터의 판독이 행해진다. 피시형 반도체 메모리(1)로부터 판독된 데이터가 패스/페일 판정기(104)로 제공된다. 패스/페일 판정기(104)는 이미 패턴 발생기(103)로부터 발생된 테스트 패턴에 따라서 판독 데이터의 기대치가 제공되어 있고, 피시형 반도체 메모리(1)로부터 판독되는 데이터의 기대치와 이 반도체 메모리(1)로부터 판독된 데이터의 비트치를 비교하여, 그 비교 결과에 따라서 데이터가 판독된 메모리셀이 불량 비트인지의 여부의 판정을 행한다(스텝 S1b).

불량 비트가 존재하는 경우, 이 패스/페일 판정기(104)는 불량 비트 정보를 복구 가부 판정 장치(105)에 제공한다. 복구 가부 판정 장치(105)는 이 패스/페일 판정기(104)로부터의 불량 비트 정보에 따라서, 불량 비트 기억 메모리(106)의 메모리 어레이(1a)에서의 불량 비트의 위치와 대응하는 위치에 불량을 나타내는 정보를 기억한다. 행측 불량 비트 카운터(107) 및 열측 불량 비트 카운터(108)는 이 불량 비트 정보가 불량 비트 기억 메모리(106)에 기입되면, 각각 대응하는 행 및 열 상의 불량 비트수를 1만큼 증가시킨다(스텝 S2). 이 판정 동작이 피시형 반도체 메모리의 메모리 어레이(1a)의 전 비트에 대하여 반복하여 실행된다(스텝 S3).

또, 도 23에 도시하는 플로우 도면에서는 전 비트의 판정 종료 전에 다시 스텝 S1a로 되돌아가서 새롭게 시험 패턴을 인가하도록 나타낸다. 이것은 1개의 테스트 패턴에 대하여 전 비트의 불량 검출이 행해진 후, 또한 별도의 시험 패턴이 피시형 반도체 메모리(1)에 인가되어 마찬가지로, 불량 비트의 검출이 행해지는 것을 나타낸다. 테스트 패턴에는 비트 간 간섭을 검출하기 위한 테스트 패턴, 메모리셀 자체의 불량을 검출하기 위한 동일 데이터로 이루어진 시험 패턴 등 여러가지의 패턴이 있으며 각 종 테스트 패턴을 인가하여, 불량 비트의 검출이 행해진다.

메모리 어레이(1a)의 전 비트 및 전 시험 패턴에 대한 판정 동작이 종료하면 다음은 복구 가부 판정 장치(105)에 의한 복구 가부 판정이 실시된다(스텝 S4). 현재, 전 비트 판정 동작 완료 시에 도 22에 도시한 바와 같이 메모리 어레이(1a)의 제1행 및 제2행의 제3열에 불량 비트가 존재하는 상태를 가정한다. 이 상태에서는 행측 불량 비트 카운터(107)의 제1행 및 제2행의 카운트 회로의 카운트값이 불량 비트에 대응하여 각각 1이 되고 한편 열측 불량 비트 카운터(108)는 제3열에 대응하는 카운트 회로의 카운트값이 2가 된다. 이들의 불량 비트의 분포를 바탕으로, 도시하지 않은 미리 정해진 알고리즘에 따라서 불량 비트의 복구가 가능한지의 여부를 판정한다.

복구 가능하다고 판정된 경우에는 웨이퍼 프로세스에서 퓨즈 블로우(fuse blow)에 따른 불량 어드레스의 프로그래밍을 행하여 불량 비트의 스페어 행 회로 및/또는 스페어 열 회로와의 치환에 의한 복구가 행해진다.

예를 들면 도 22에 도시하는 구성에서는 이 메모리 어레이(1a)의 제3 열이 스페어 열로 치환된다.

불량 비트 기억 메모리(105)는 피시형 반도체 메모리(1)의 불량 비트 위치를 기억하기 위해서 피시형 반도체 메모리(1)의 기억 용량 이상의 기억 용량을 갖는다. 복구 가부 판정 장치(105)는 불량 비트 기억 메모리(106)를 참조하여, 불량 비트의 복구 가부 판정을 행하고 있다. 따라서, 이 피시형 반도체 메모리의 기억 용량이 커짐에 따라서, 복구 가부 판정 장치(105)에 포함되는 불량 비트 기억 메모리(106)의 기억 용량도 크게 할 필요가 있으며, 이 복구 가부 판정 장치(105)의 규모가 커진다. 또한, 불량 비트 기억 메모리의 기억 용량을 증가시키기 위해서 메모리의 중설 및 이에 따른 주변 회로부의 구성의 변경을 행할 필요가 있으며, 이 피시형 반도체 메모리의 기억 용량이 증대할 때마다, 테스트(102)의 복구 가부 판정 장치(105)의 구성을 변경할 필요가 있으며 장치의 비용이 증대한다고 하는 문제가 생긴다.

또한, 종래의 복구 가부 판정은 피시형 반도체 메모리의 전체 비트로부터 데이터를 판독한 후에 행해지고 있다. 따라서, 피시형 반도체 메모리의 기억 용량이 증대한 경우, 피시형 반도체 메모리로부터 데이터를 판독하는 시간 및 패스/페일 판정기(104)에서의 판정에 필요한 시간이 길어지며 테스트 시간이 증대한다고 하는 문제가 생긴다.

본 발명의 목적은 불량 비트 기억 메모리의 용량을 대폭 저장할 수 있는 반도체 시험 장치를 제공하는 것이다.

본 발명의 다른 목적은 시험 시간을 단축할 수 있는 반도체 시험 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 효율적으로 반도체 메모리의 복구 가부의 판정을 행할 수 있는 영가인 반도체 시험 장치를 제공하는 것이다.

본 발명에 따른 반도체 시험 장치는 피시형 반도체 메모리의 행 어드레스 상에서의 불량 셀 위치를 기억하기 위한 행 불량 비트 기억 메모리와, 이 불량 비트 기억 메모리와 별도로 설치되며, 피시형 반도체

메모리의 열 어드레스 상에서의 불량 메모리셀 위치를 기억하기 위한 열 불량 비트 기억 메모리를 구비한다.

복구 가부 판정을 위해서 행 어드레스용 및 열 어드레스용 별도로 불량 비트 기억 메모리를 설치함으로써, 피시험 반도체 메모리로부터 테스트 데이터 판독을 실시했을 때, 행 단위 및 열 단위로 불량 비트 정보를 저장할 수 있으며, 피시험 반도체 메모리의 전체 비트의 양/불량 정보를 저장할 필요가 없고, 불량 비트 기억 메모리의 기억 용량을 저감할 수 있다.

또한, 피시험 반도체 장치의 불량 비트 정보의 불량 비트 기억 메모리의 저장과 병행하여 복구 가부를 판정할 수 있으며, 피시험 반도체 메모리의 전체 비트의 데이터 판독 후 계속해서 복구 가부를 판정하는 수법에 비하여 시험 시간이 단축된다.

또한, 행 단위 및 열 단위로 불량 비트를 모니터함으로써, 사용되는 스페어 행 회로 및 스페어 열 회로의 수를 검출할 수 있고, 피시험 반도체 메모리의 복구 가부를 판정할 수 있으며, 따라서 복구 불가라고 판정되었을 때, 그 시점에서 피시험 반도체 메모리의 테스트를 정지시킴으로써 시험 시간을 단축할 수 있다.

발명의 구성 및 작용

[실시 형태 1]

도 1은 본 발명에 따른 반도체 시험 장치가 대상으로 하는 반도체 메모리의 어레이부의 구성을 개략적으로 나타낸 도면이다. 도 1에서 피시험 반도체 메모리(1)는 m행 n열로 배열되는 메모리셀을 가지는 메모리셀 어레이(1a)와, 이 메모리셀 어레이(1a)의 불량 행을 복구하기 위한 스페어 행 회로(1r)와, 메모리셀 어레이(1a)의 불량 열을 복구하기 위한 스페어 열 회로(1c)를 포함한다. 스페어 행 회로(1r)는 p행 · n열로 배열되는 메모리셀을 가지며, 메모리셀 어레이(1a)의 p행의 불량 행을 복구할 수 있다. 여기서, $p < m$ 이다.

스페어 열 회로(1c)는 m행 q열로 배열되는 메모리셀을 가지고, 메모리셀 어레이(1a)의 q열의 불량 열을 복구할 수 있다. 여기서, $q < n$ 이다. 이 스페어 행 회로(1r) 및 스페어 열 회로(1c)는 메모리셀 어레이(1a) 내에서 분산하여 배치되어도 된다. 즉, 반도체 메모리(1)는 용장 회로로서 p행의 불량 행 및 q열의 불량 열을 복구하는 구성을 구비하고 있는 것이 요구될 뿐이다.

도 2는 본 발명의 실시 형태 1에 따른 테스트에 포함되는 복구 가부 판정 장치의 구성을 개략적으로 나타낸 도면이다. 도 2에서 이 복구 가부 판정 장치(2)는 (p+1)행 · n열로 배열되는 기억 소자를 구비하고, 각 행 단위로 불량 비트 정보를 저장하는 행측 불량 비트 기억 메모리(3)와, 이 행측 불량 비트 기억 메모리(3)의 각 행에서의 불량 비트의 수를 카운트하는 행 불량 비트 카운터(4)와, m행 · (q+1)열로 배열되는 기억 소자를 가지고, 각 열 단위로 불량 비트 위치를 기억하는 열측 불량 비트 기억 메모리(5)와, 이 열측 불량 비트 기억 메모리(5)의 각 열의 불량 비트수를 카운트하는 열 불량 비트 카운터(6)와, 행측 불량 비트 기억 메모리(3) 및 행 불량 비트 카운터(4)의 동작을 제어하는 동시에, 행의 복구 가부를 판정하는 행 연산 처리 회로(7)와, 열측 불량 비트 기억 메모리(5) 및 열 불량 비트 카운터(6)의 동작을 제어하고 또한 불량 열에 대하여 복구 가능한지의 여부를 판정하는 열 연속적 처리 회로(8)를 포함한다.

행 연산 처리 회로(7) 및 열 연산 처리 회로(8)는 서로 독립적으로 행 및 열의 불량을 판정하는 동시에, 스페어 회로에서의 치환 결정 시에는, 이 행 연산 처리 회로(7) 및 열 연산 처리 회로(8)가 그 치환 정보를 상대방에게 넘겨주고 복구된 불량 비트에 대한 정보를 알린다.

도 2에 도시한 바와 같이, 복구 가부 판정 장치(2)에 포함되는 행측 불량 비트 기억 메모리(3) 및 열측 불량 비트 기억 메모리(5)의 기억 용량은 스페어 행 회로(1r) 및 스페어 열 회로(1c) 각각의 기억 용량과 거의 동등하다. 따라서, 이 행측 불량 비트 기억 메모리(3) 및 열측 불량 비트 기억 메모리(5)의 합계의 기억 용량은 피시험 반도체 메모리(1)의 기억 용량보다도 대폭 적으며, 복구 가부 판정 장치(2)에서의 불량 비트 기억 메모리의 기억 용량을 대폭 저감한다.

행 연산 처리 회로(7) 및 열 연산 처리 회로(8)는 각각 예를 들면 CPU(중앙 연산 처리 장치)에 구성되고 있으며, 이하에 상세하게 설명하는 연산 알고리즘에 따라서 불량 비트의 복구의 가부 및 불량 어드레스의 검출을 행한다.

도 3은 피시험 반도체 메모리 및 불량 비트 기억 메모리의 구체예를 나타낸 도면이다. 도 3에서 메모리셀 어레이(1a)는 8행 · 8열로 배열되는 메모리셀을 갖는다. 메모리셀 어레이(1a)에서 메모리셀은 행 어드레스 a-h 및 열 어드레스 1-8에 의해 지정된다.

스페어 행 회로(1r)는 2행 · 8열로 배열되는 스페어 메모리셀을 갖는다. 이 스페어 행 회로(1r)에서 불량 행 어드레스 R1 및 R2가 복구 가부 판정 결과에 따라서 프로그램된다.

스페어 열 회로(1c)는 8행 · 2열로 배열되는 스페어 메모리셀을 갖는다. 이 스페어 열 회로(1c)에서 불량 열 어드레스 C1 및 C2가 복구 가부 판정 결과에 따라서 프로그램된다.

복구 가부 판정 장치(2)에서, 행측 불량 비트 기억 메모리(3)는 3행 8열로 배열되는 기억 소자를 포함한다. 이 행측 불량 비트 기억 메모리(3)의 행 어드레스 X1-X3은 각각 도 2에 도시하는 행 연산 처리 회로(7)의 제어 하에 설정 및 변경이 가능하다. 행 불량 비트 카운터(4)는 행측 불량 비트 기억 메모리(3)의 행 어드레스 X1-X3 각각에 대응하여 설치되는 카운트 회로(4a)를 포함한다.

열측 불량 비트 기억 메모리(5)는 8행 3열로 배열되는 기억 소자를 포함한다. 이 열측 불량 비트 기억 메모리(5)의 열 어드레스 Y1-Y3은 도 2에 도시하는 열 연산 처리 회로(8)의 제어 하에 설정 및 변경이 가능하다. 열 불량 비트 카운터(6)는 열 어드레스 Y1-Y3 각각에 대응하여 설치되는 카운트 회로(6a)를 포함한다. 또한 카운터(4, 6)의 카운트값은 연산 처리 회로(7, 8)의 제어 하에서 리셋 가능하다.

또, 이들의 불량 비트 기억 메모리(3, 5)는 데이터의 기입 및 판독을 행할 수 있는 어드레스 지정 가능한 메모리 회로이면 좋다.

또, 테스트의 구성은 도 21에 도시하는 종래의 테스트와 마찬가지로, 패턴 발생기(103) 및 패스/페일 판정기(104)를 포함하고, 이 패스/페일 판정기(104)로부터의 패스/페일 판정 결과가 도 2에 도시하는 복구가부 판정 장치(2)로 주어진다. 다음에, 이 도 2 및 도 3에 도시하는 복구 가부 판정 장치를 포함하는 테스트의 동작에 대하여 도 4에 도시하는 플로우도를 참조하여 개략적으로 설명한다.

웨이퍼 프로세스 완료 후, 피시형 반도체 메모리(1)를 시험한다(스텝 S1). 이 메모리의 시험에서는 피시형 반도체 메모리(1)에 시험 패턴을 패턴 발생기로부터 인가하는 스텝(S1a) 및 이 피시형 반도체 메모리(1)로부터 정보를 판독하고, 기대치와 비교하여 불량 비트를 판정하는 스텝(S1b)이 행해진다. 스텝 S1a 및 S1b의 동작은 종래와 마찬가지로이다.

본 실시 형태 1에서는 이 패스/페일 판정 결과에 따라서, 복구 가부 판정 장치에 불량 비트를 기억하고 또는 병행하여 복구 가부 판정을 행한다(스텝 S5). 불량 비트 기억 메모리(3, 5)에 불량 비트 정보가 저장된다. 이 때, 연산 처리 회로(7, 8)에 의해, 이들 불량 비트 기억 메모리(3, 5)에 불량 비트 정보를 저장하는지의 여부의 판정이 개별적으로 행해진다. 저장이 불필요하다고 판정된 불량 비트에 대해서는 불량 비트 기억 메모리로의 기입 동작은 실행되지 않는다.

계속해서, 불량 비트 기억 메모리(3, 5)에 기억된 불량 비트 정보를 바탕으로 복구 가부 판정을 실행한다. 복구 가부 판정은 행 불량 비트 카운터(4) 및 열 불량 비트 카운터(6)의 카운트 회로(4a, 6a) 각각의 카운트값에 기초하여, 복구를 행할 수 있는지의 여부의 판정 및 복구 불량 어드레스의 검출이 후에 상세하게 설명하는 알고리즘에 따라서 실행된다. 이 동작이 피시형 반도체 메모리(1)의 전체 비트의 시험이 종료되기까지 반복된다(스텝 S3). 여기서, 스텝 S3에서 전체 비트의 테스트가 종료하지 않을 때는 다시 피시형 반도체 메모리(1)에 시험 패턴이 인가되고 있다. 이것은 피시형 반도체 메모리(1)에 대하여, 메모리 블록, 또는 메모리 블록 단위로 시험 패턴을 인가하여 데이터의 판독을 행하는 동작 플로우를 상정하고 있다. 이에 따라, 복구 불가능한 반도체 메모리에 대하여, 테스트 패턴 데이터를 전체 비트에 기입할 때 필요로 되는 시간을 단축할 수 있다. 즉, 복구 불가능이라고 판정된 시점에서 시험 패턴 인가를 중지함으로써 시험 시간의 단축이 실현된다.

따라서, 이 실시 형태 1에 따르면, 전 비트의 양/불량 판정 실행 후에 복구 가부 판정을 행하지는 않고, 복구 가부 판정 장치 내에 불량 비트를 기억하는 동시에, 병행하여 복구 가부 판정을 행하고 있다. 따라서, 전 비트의 시험 종료 시에는 이 피시형 반도체 메모리의 복구 가부 판정도 종료하고 있다. 이에 따라, 시험 시간을 대폭 단축할 수 있다. 다음에, 이 도 3에 도시하는 구체적 구성을 참조하여 복구 가부 판정 동작에 대하여 설명한다.

현재, 도 5에 도시한 바와 같이, 피시형 반도체 메모리(1)의 메모리셀 어레이(1a)에서, 제a행의 제6열 내지 제8열로 불량 비트가 존재하고, 제c행 내지 제e행에서는 제4열에 불량 비트가 존재하고 또한 제g행에는 제3열, 제5열 및 제6열에 불량 비트가 존재하고 또한 제h행에는 제5열에 불량 비트가 존재하는 상태를 생각한다. 스페어 행 회로에 의해 2 행의 불량 행을 복구할 수 있고, 또한 스페어 열 회로(1c)에 의해 2열의 불량 열을 복구할 수 있다. 따라서, 이 제a행 및 제g행을 스페어 행 회로에서 복구하고 또한 제4열 및 제5열을 스페어 열 회로에서 복구한다고 생각한다. 다만, 이하의 설명에서는 행을 우선하여 치환하는 동작을 나타낸다.

우선, 제a행의 테스트가 실행된다. 우선, 행측 불량 비트 기억 메모리(3)에서 불량 비트가 존재하기 때문에 X 어드레스로서 어드레스 a가 설정된다. 피시형 반도체 메모리(1)의 메모리 어레이(1a)에서 제a행에는 제6열 내지 제8열까지 불량 비트가 존재한다. 따라서, 이 패스/페일 판정 결과에 따라서, 행측 불량 비트 기억 메모리의 열 어드레스(6)로부터 8의 위치에 불량 비트를 나타내는 정보가 저장된다. 이 때, 또한 행 불량 비트 카운터(4)에서 카운트 회로(4a)의 카운트값이 불량 비트의 수를 나타내는 3으로 설정된다.

또한 이 때, 동시에 열측 불량 비트 기억 메모리(5)에서는 제1열 ~ 제3열에 대하여 제a행에서의 불량 비트 위치를 나타내는 Y 어드레스(6, 7, 8)가 각각 설정된다. 또한, 열 불량 비트 카운터(6)의 각 카운트 회로(6a)는 각 열의 불량 비트의 수를 카운트하고 카운트값(1)을 갖는다. 행측 불량 비트 기억 메모리(3)에서는 3 비트의 불량 비트가 존재하고, 이것은 스페어 열 회로의 수보다도 크다. 따라서, 이 카운트 회로(4a)의 카운트값(3)에 따라서, 제a행은 스페어 행 회로에서 치환함으로써 복구하는 것을 결정한다. 이 복구 확정 시에서는 행측 불량 비트 기억 메모리(3)의 제1 행으로는 불량 어드레스 a가 고정적으로 설정된다. 즉, 행 불량 비트 카운터(4)의 카운트 회로(4a)의 카운트값이 스페어 열 회로의 수를 넘은 경우에는 대응하는 행은 스페어 행 회로에서 치환한다고 결정된다.

이 제a행의 스페어 행 회로에 의한 복구 확정 정보가 열측의 연산 처리 회로로 전달된다. 이 상태에서는 불량 비트 기억 메모리(5)의 불량 비트 정보 및 불량 열 어드레스 정보 6-8이 전부 리셋되며 또한 불량 비트 카운터(6a)의 카운트값도 리셋된다. 제a행의 불량 비트가 스페어 행으로 치환되었기 때문에, 스페어 열 회로를 이들의 비트 복구를 위해서 이용할 필요가 없기 때문이다.

제a행의 복구 가부 판정이 완료하면, 계속해서 다음의 제b행에 대한 시험이 행해진다. 도 5에 도시한 바와 같이, 메모리셀 어레이(1a)에서 제b행에는 불량 비트는 존재하지 않는다. 따라서, 이 복구 가부 판정 장치에서는 제b행에 대한 조작은 특히 행해지지 않는다.

계속해서, 도 7에 도시한 바와 같이 다음의 제c행에 대한 시험이 행해진다. 우선, 행측 불량 비트 기억 메모리(3)에서 제2행에 행 어드레스(X)로서 어드레스 c가 설정된다. 계속해서 패스/페일 판정 결과에 따라서 그 제4열[어드레스(4)]에 불량 비트 정보가 기입되며 또한 이 때 대응하는 행 불량 비트 카운터(4)에서 제2 행에 대응하는 카운트 회로(4a)의 카운트값이 1로 세트된다. 제1행째의 내용은 카운트 회로(4a)를 포함하여 고정되고 있다.

한편, 열측 불량 비트 기억 메모리(5)에서는 행 어드레스 c에서 불량 비트가 존재하는 열 어드레스(4)가

제1열째의 Y 어드레스로서 설정된다. 불량 비트의 설정에 의해 열 불량 비트 카운터(6)에서 제1열째의 카운트 회로(6a)의 카운트값이 1로 설정된다. 이에 따라, 메모리셀 어레이의 제c행의 시험이 완료한다.

계속해서, 도 5에 도시하는 메모리 어레이(1a)의 제d행에 대한 시험이 행해진다. 이 때 우선, 행측 불량 비트 기억 메모리(3)의 제3행에 대하여, 행 어드레스 d가 할당된다. 이 행측 불량 비트 기억 메모리(3)의 제3행의 제4열에서 불량 비트를 나타내는 정보가 메모리셀 어레이(1a)의 불량 비트에 따라서 저장되며, 행측 불량 비트 카운터(4)의 제3행에 대응하는 카운트 회로(4a)의 카운트값이 1로 설정된다. 행측 불량 비트 기억 메모리(3)에서는 제4열에서 불량 비트가 2 비트 존재한다. 이들의 불량 비트를 스페어 행 회로에서 복구하는 경우, 스페어 행 회로는 3행 필요해진다. 그리고, 스페어 행 회로는 2행밖에 복구할 수 없기 때문에, 이들의 제4열 상의 불량 비트는 스페어 행 회로에서 치환할 수 없기 때문에, 스페어 열 회로에서 복구한다고 판정된다. 이 스페어 행 회로에서의 복구 불가는 열측의 연산 처리 회로로 통치된다.

한편, 열측 불량 비트 기억 메모리(5)에서는 행 어드레스 c 및 d가 모두 제4열에 불량 비트를 갖기 때문에, 이 열 어드레스(4)의 행 어드레스 d의 위치에 새롭게 불량 비트가 저장되며 대응하는 카운트 회로(6a)의 카운트값이 2로 설정된다.

또한 이 때, 행측의 연산 처리 회로(7)로부터 열 어드레스(4)의 스페어 행 회로에 의한 복구 불가의 정보가 제공되면, 열측 연산 처리 회로(8)는 열측 불량 비트 기억 메모리(5)의 제1열의 열 어드레스(4)를 스페어 열 어드레스로 치환한다고 확정하고, 이 제1열을 열 어드레스(4)에 고정한다. 이 스페어 열 회로에 의한 열 어드레스(4)의 복구 확정에 의해 행측 불량 비트 기억 메모리(3)에서는 제2행 및 제3행의 어드레스 c 및 d의 정보가 리세트되며 또한 대응하는 카운트 회로(4a)의 카운트값도 리세트된다.

이 d행에 대한 시험이 완료하면, 다음의 e행의 테스트가 행해진다.

도 5에 도시한 바와 같이, 제e행에서는 제4열 상에 불량 비트가 존재한다. 앞의 제d행의 테스트에 의해 제4열은 스페어 열 회로에서 복구되는 것이 확정되고 있다. 이 정보에 기초하여, 도 9에 도시한 바와 같이 행측 불량 비트 기억 메모리(3)에서는 제4열은 스페어 열 회로에서 복구 확정을 위해, 이 제e행의 제4열의 불량 비트 정보의 취득은 행하지 않는다. 한편, 열측 불량 비트 기억 메모리(5)에서는 제e행 상의 제4열의 불량 비트 정보가 저장되며, 대응하는 카운트 회로(6a)의 카운트값이 1 증가되어 3이 된다.

계속해서, 제f행에는 불량 비트가 존재하지 않기 때문에, 제g행의 테스트가 행해진다. 제g행에서는 도 5에 도시한 바와 같이, 제3열, 제5열 및 제6열 상에 불량 비트가 존재한다. 이 때, 도 10에 도시한 바와 같이, 우선 행측 불량 비트 기억 메모리(3)는 제2행의 행 어드레스를 행 어드레스 g로 설정하고, 제3열, 제5열 및 제6열 상에 불량 비트 정보를 저장한다. 카운터(4)의 대응하는 카운트 회로(4a)의 카운트값이 3이 된다. 행측 연산 처리 회로(7)는 이 제2행의 카운트 회로(4a)의 카운트값이 3이 되었기 때문에, 스페어 행 회로에서 이 제g행을 복구한다고 결정하고, 그 결정 정보를 열측 연산 처리 회로(8)로 전달하는 동시에, 행측 불량 비트 기억 메모리(3)의 제2행의 어드레스를 g로 고정한다. 또한, 이 어드레스가 고정된 제2행의 내용도 고정적으로 유지된다.

한편, 열측 불량 비트 기억 메모리(5)에서는 불량 비트 정보에 따라서 제2열 및 제3열에 열 어드레스(3, 5)를 설정하고, 제g행 상에 불량 비트 정보를 저장한다. 또한 카운트 회로(6a)의 카운트값을 1로 설정한다. 그러나, 이 때 행측 연산 처리 회로(7)로부터의 제g행의 스페어 행 회로에 의한 치환 복구 결정에 의해, 열측 연산 처리 회로의 제어 하에 열측 불량 비트 기억 메모리(5)의 제g행의 제2열 및 제3열의 정보가 클리어되며 또한 제2열 및 제3열에 할당되고 있는 열 어드레스(3, 5)도 리세트된다. 따라서, 카운트 회로(6a)의 카운트값이 이 클리어 동작에 의해 1만큼 감소하여 초기치인 0으로 설정된다. 이 때, 열측 불량 비트 기억 메모리(5)에서 열 어드레스(6)에 대한 정보는 저장되지 않지만, 행측 연산 처리 회로로부터의 복구 확정 정보에 따라서, 이 제g행의 정보는 클리어되기 때문에 특별히 문제는 생기지 않는다.

이 제g행의 테스트 완료 시에서는 행측 불량 비트 기억 메모리(3)의 2행의 어드레스는 행 어드레스 a 및 g에 고정되어 있고, 스페어 회로를 사용하는 불량 행은 확정하고 있고, 이 이상의 불량 행의 복구는 불가능하다. 이 때문에, 이하의 조작에서는 불량 행 플래그를 "1"로 세트하여 행측 불량 비트 기억 메모리(3)의 불량 비트 정보의 저장은 행해지지 않는다.

다음에, 도 11에 도시한 바와 같이, 메모리 어레이(1a)에서 제h행의 테스트가 행해진다. 이 제h행에서는, 제5열에 불량 비트가 존재한다. 상술된 바와 같이, 행측 불량 비트 기억 메모리는 이미 2행의 불량 어드레스가 확정하고 있으며, 이 이상 불량 비트를 취득한 것은 금지된다. 또한 스페어 행 회로는 사용할 수 없기 때문이다.

한편, 열측 불량 비트 기억 메모리(5)에는, 클리어된 제2열에 새롭게 불량 열 어드레스(5)가 할당되며, 이 제h행에 불량 비트를 나타내는 정보가 저장되며 대응하는 카운트 회로(6a)의 카운트값이 1로 설정된다.

이에 따라, 메모리셀 어레이(1a)의 전 비트의 테스트 동작이 완료한다.

도 12에 도시한 바와 같이, 테스트 동작 완료 시에는, 행측 불량 비트 기억 메모리(3)에는 제1행 및 제2행에 불량 행 어드레스 a 및 g가 고정되어 있으며, 한편, 열측 불량 비트 기억 메모리(5)에는 제1열에 불량 열 어드레스(4)가 고정되어 있다. 제2열에는 불량 열 어드레스(5)가 할당되어 있다. 이 때, 제3열에 대응하는 카운트 회로(6a)의 카운트값은 0이며, 복구해야 할 불량 열은 제5열만이기 때문에, 카운트 회로(6a)의 카운트값(1)에 따라서 이 불량 열 어드레스(5)를 스페어 열 회로에서 복구한다고 판정된다. 이에 따라, 열측 불량 비트 기억 메모리(5)의 제2열에 불량 열 어드레스(5)가 고정된다.

이 때 가령 제h행에서 2열로 불량 비트가 존재하는 경우, 이 2 비트의 불량 비트는 스페어 열 회로에서 복구할 수 없다. 이 경우에는 열 연산 처리 회로가 복구 불가를 나타내는 정보를 발생한다. 이에 따

라, 대응하는 피시형 반도체 메모리는 복구 불가라고 판정된다. 따라서, 이 스페어 행 회로 및 스페어 열 회로에서 복구 가능한 불량 비트보다도 많은 불량 비트가 검출되었을 때는 그 시점에서 피시형 반도체 메모리는 복구 불가라고 판정되어, 이후의 테스트 공정은 생략된다. 이에 따라, 테스트 시간이 단축된다.

[일반적인 동작 플로우]

도 13은 본 발명의 실시 형태 1에 따른 복구 가부 판정 조작을 나타내는 플로우도이다. 도 13에서 우선 패스/페일 판정기[도 21의 판정기(104)]로부터의 패스/페일 정보에 따라서 1비트 단위로 테스트가 행해진다(스텝 S10). 입력된 비트 정보에 대하여 패스/페일 판정기로부터의 정보에 기초하여 불량 비트인지의 여부의 판정이 행해진다(스텝 S11). 불량 비트가 아닌 경우에는 불량 비트 기억 메모리로의 취득을 행할 필요가 없기 때문에, 계속해서 스텝 S14로 옮겨지고, 피시형 반도체 메모리의 전 비트의 테스트(복구 가부 판정)가 완료했는지의 여부의 판정이 행해진다(스텝 S14). 이것은, 단순히 카운터를 이용하는 지 또는 최종 어드레스에 도달했는지의 여부의 판정 동작에 의해 실행된다.

전체 비트의 테스트가 종료되지 않은 경우, 계속해서 스텝 S10으로 되돌아가고 다음의 비트(메모리 셀)의 정보를 패스/페일 판정기로부터 받는다.

스텝 S11에서 불량 비트가 존재한다고 판정된 경우, 행측 불량 비트 기억 메모리(FM이라고 이하 칭한다)의 조작을 행하는 스텝 SR 및 열측 불량 비트 기억 메모리의 조작을 행하는 스텝 SC가 실행된다. 이들의 FM의 조작에서는 행 치환이 우선된다. 이들의 스텝 SR, SC에서 불량 어드레스의 검출, 불량 어드레스의 복구 가부 및 복구 불량 어드레스의 확정이 행해진다.

FM의 조작을 행하는 스텝 SR 및 SC가 완료되면, 계속해서 스텝 S12로 옮겨지고, 행측 FM 및 열측 FM의 처리가 모두 종료했는지의 여부의 판정이 행해진다. 이 입력 불량 비트에 대한 행측 FM 및 열측 FM의 처리가 모두 종료하기까지 기다린다. 이 스텝 SR 및 SC가 모두 완료하면, 계속해서 행측 플러그 및 열측 플러그가 모두 1인지의 여부의 판정이 행해진다(스텝 S13). 이 행측 플러그는 스페어 열 회로가 전부 사용되고 있는 것을 나타내는 플러그이며, 또한 열측 플러그는 스페어 열 회로가 전부 사용되고 있는 것을 나타내는 플러그이다. 따라서, 행측 플러그 및 열측 플러그가 모두 1인 경우에는 이 스페어 행 회로 및 스페어 열 회로가 전부 사용되며, 이 불량 비트를 복구할 수 없는 것을 나타내고 있다. 따라서, 이 경우에는 피시형 반도체 장치는 복구 불가능하기 때문에 이 피시형 반도체 메모리에 대한 테스트가 종료한다.

한편, 행측 플러그 및 열측 플러그 중 적어도 한쪽이 "0"인 경우에는 불량 비트를 복구할 수 있을 가능성이 있기 때문에, 스텝 S14로 옮겨지고 다음 비트의 테스트를 실행한다. 따라서, 이 전체 비트의 테스트 종료 시에서 행측 플러그 및 열측 플러그 중 적어도 한쪽이 "0"인 경우에는 최대, 모든 스페어 행 회로 및 모든 스페어 열 회로가 사용된 상태이며, 이 피시형 반도체 메모리의 불량 비트는 전부 복구할 수 있기 때문에, 복구 가능하다고 판정된다.

따라서, 이 도 13에 도시한 바와 같이 불량 비트 기억 메모리(FM)로의 불량 비트 정보의 가입과 복구 가부 판정을 병행하여 행할 수 있기 때문에, 테스트 시간이 단축된다.

도 14는 도 13에 도시하는 행측 불량 비트 기억 메모리(FM)의 조작 스텝 SR의 상세 플로우를 나타낸 도면이다. 도 14에서는 행측 FM 단독에서의 조작을 행하는 플로우를 나타낸다. 도 13에 도시하는 스텝 S11에서 불량 비트가 발생한 경우, 행측 FM에서는 우선, 이 때에 확정하고 있는 복구 행 어드레스의 수가 행 스페어(스페어 행 회로)수에 도달하고 있는지의 여부의 판정을 행한다(스텝 SR1). 확정된 복구 행 어드레스는 행측 FM에서 고정된(불량) 행 어드레스를 나타낸다. 확정된 복구 행 어드레스의 수가 행 스페어수에 도달하고 있는 경우에는 이 이상의 불량 행을 복구할 수 없기 때문에, 행측 판정 플러그를 "0" 내지 "1"로 설정한다(스텝 SR2). 이 행측 판정 플러그가 "1"로 설정되면, 이 불량 비트는 스페어 행에서는 복구되지 않기 때문에, 행측 FM의 조작이 완료한다. 이 행측 판정 플러그를 1로 상승하는 조작은 도 10에 도시하는 2개의 스페어 행 회로가 사용되고, 다음의 도 11에 도시하는 테스트에서 행측 FM으로의 불량 비트의 취득이 행해지지 않은 조작에 대응한다.

스텝 SR1에서 스페어 행 회로가 전부 사용되고 있지 않은 경우에는 그 불량 비트의 행 어드레스를 참조하여, 그 불량 행 어드레스 상에서의 처음 불량 비트인지의 여부의 판정이 행해진다(스텝 SR3). 이 판정 처리는 단순히 행측 FM의 X 어드레스에 할당되어 있는 불량 어드레스를 참조함으로써 행해진다. 행 어드레스 상에서의 처음 불량 비트인 경우, 행측 FM의 X 어드레스에 이 불량 셀의 행 어드레스를 할당한다. 이것은 예를 들면 도 6에 도시하는 처리에서 어드레스 a를 할당하는 처리에 상당한다.

한편, 그 불량 행 어드레스 상에서 이미 불량 비트가 검출되어 있는 경우에는 계속해서, 이 불량 비트의 열 어드레스를 참조하고, 그 열 어드레스가 확정된 복구 열 어드레스와 일치하고 있는지의 여부의 판정이 행해진다(스텝 SR5). 이 불량 열 어드레스가 확정 복구 열 어드레스와 일치하고 있는 경우에 이미 열측 FM의 조작 SC에 의해, 이 불량 비트가 스페어 열 회로에 의해 복구되고 있기 때문에, 이 행측 FM으로의 취득이 행해지지 않고, 행측 FM의 조작 SR이 완료된다. 스텝 SR4 또는 SR5가 행해진 후, 이 불량 비트 정보를 불량 행 어드레스 상에 저장한다(스텝 SR6). 계속해서, 이 취득한 불량 비트에 의해, 대응하는 불량 비트 카운트 회로의 카운트값을 1 증가한다(스텝 SR7).

계속해서, 이 불량 행 어드레스가 확정된 복구 행 어드레스와 일치하고 있는지의 여부의 판정이 행해진다(스텝 SR8). 행 어드레스가 확정된 복구 행 어드레스와 일치하고 있는 경우에는 단순히 불량 행 상의 불량 비트의 분포를 기억하는 것 뿐이며 이 행측 FM의 조작은 완료한다. 한편, 이 불량 행 어드레스가 확정 복구 어드레스와 일치하지 않은 경우에는 열측 FM의 조작 RC와 연동하여 처리가 행해진다. 또 스텝 SR6 앞에 스텝 SR8이 행해지며, 한층 더 확정 복구 행 어드레스로의 불량 비트 정보의 저장은 행해지지 않게 되어도 좋다.

도 15는 행측 FM의 조작 중 열측 FM의 조작과 연동하여 행해지는 처리 플로우를 나타낸 도면이다. 이

하, 이 도 15를 참조하여 열측 FM의 조작과 연동하는 행측 FM의 처리 조작에 대하여 설명한다.

도 14에 도시하는 스텝 SR8에서 행 어드레스가 확정 복구 행 어드레스와 일치하지 않은 경우에 열측 FM 조작으로부터 불량 비트의 열측 FM으로의 취득 통지가 제공되면, 계속해서 행측 FM에서는 행측 FM의 모든 X측 어드레스에 행 어드레스가 할당되고 있는지의 여부의 판정이 행해진다. 불량 비트의 열측 FM으로의 취득은 이 불량 비트는 아직 스페어 열 회로에서 복구되어 있지 않은 것을 나타내고 있다. 행측 FM의 모든 X측 어드레스에 행 어드레스가 할당되어 있는 경우에는 불량 행이 스페어 행 회로의 수보다도 많은 상태로 상당하기 때문에, 행측 스페어 회로에서의 복구는 불가하며 이후의 처리는 열측 FM의 조작으로 넘어간다. 이것은 도 8의 조작에 대응한다.

행측 FM의 모든 X측 어드레스에 행 어드레스가 할당되어 있지 않은 경우에는, 이 불량 행 어드레스 상에 스페어 열 회로의 수보다 많은 불량 비트가 존재하는지의 여부의 판정이 행해진다(스텝 SR10). 이것은 예를 들면 도 6에서 제a행에서 3개의 불량 비트가 존재하고 있는 경우, 불량 비트는 스페어 열 회로의 수보다도 많으며, 이들의 3비트의 불량 비트는 스페어 열 회로에서 복구할 수 없기 때문에, 스페어 열 회로에서 복구를 행하면 결정하는 조작에 대응한다. 따라서, 그 경우에는 그 행 어드레스를 복구 어드레스라고 판정하고(스텝 SR11), 이 행측 FM의 X측 어드레스에 그 행 어드레스의 할당을 완전 고정한다(스텝 SR12). 이것은 도 6에 도시하는 배치에서 행 어드레스 a를 고정한 것에 상당한다.

또, 스텝 SR9에서 행측 FM의 모든 X측 어드레스에 행 어드레스의 할당이 행해지고 있는 경우에는 행측 스페어에서의 복구 불가라고 판정하고 있다. 행측 FM의 모든 X측 어드레스에 행 어드레스가 할당되어 있는 경우, 불량 행의 수는 스페어 행 회로의 수보다도 많으며, 도 8에 도시한 바와 같이 열측 조작에서 동일 열 상에 복구 가능한 불량 비트가 존재하는지의 여부의 판정이 행해지며, 그 처리에 따라서 불량 비트 복구가 행해진다.

이 열측 조작에서 불량 비트의 복구가 행해지고 스페어 열 회로가 사용된 것이 나타나면, 우선, 행측 FM의 X측 어드레스에 할당된 미확정의 행 어드레스에 대한 정보를 클리어한다(스텝 SR13). 이것은 도 8에 도시하는 구성에서 제4열 상에 불량 비트가 2 비트 존재하고 있으며, 스페어 열 회로에서 복구하는 것이 고정되었을 때, 이 행측 FM의 어드레스 c 및 d의 불량 비트 정보가 클리어되고 있는 것에 상당한다. 계속해서, 이 대응하는 불량 비트 카운트 회로의 카운트값도 클리어한다(스텝 SR14).

이에 따라, 행측 FM의 일련의 조작이 완료하고 열측 조작과 아울러서 도 13에 도시하는 스텝 S12로 처리가 이행한다.

도 16은 열측 FM의 조작 스텝 SC의 플로우를 상세히 나타낸 도면이다. 도 16에서는 이 열측 FM의 조작 스텝 SC 중 열측에서 행측과 독립적으로 처리가 행해지는 플로우를 나타낸다. 이하, 도 16을 참조하여 열측 FM의 조작 스텝 SC에 대하여 설명한다.

열측 FM에는 패스/페일 판정기로부터의 불량 비트 정보를 받으면, 우선 확정된 복구 열 어드레스의 수가 열 스페어 회로의 수에 도달하고 있는지의 여부의 판정을 행한다(스텝 SC1). 열 스페어 회로가 전부 복구 열 어드레스에 할당되어 있는 경우에는 또한 불량 비트를 스페어 열 회로에서 복구할 수 없기 때문에, 이 불량 비트의 취득은 행해지지 않으며 열측 판정 플래그를 "1"로 설정하고(스텝 SC2), 이 열측 FM의 조작을 종료한다.

한편, 열 스페어 회로가 전부 사용되어 있지 않은 경우에는 우선 이 불량 열 어드레스가 처음으로 주어진 불량 열 어드레스인지의 여부의 판정이 행해진다(스텝 SC3). 처음 불량 열 어드레스의 경우, 열측 FM의 Y측 어드레스에 불량 열 어드레스를 할당한다(스텝 SC4). 이것은 도 6에서 불량 열 어드레스(6)를 할당하는 동작에 대응한다.

한편, 이 불량 열 어드레스 상에는 이미 불량 비트가 존재하는 경우에는 이 불량 비트의 행 어드레스가 확정된 복구 행 어드레스와 일치하는지의 여부의 판정이 행해진다(스텝 SC5). 이 불량 행 어드레스가 확정된 복구 행 어드레스와 일치하는 경우에는 이 불량 비트는 이미 스페어 행 회로에서 복구되고 있기 때문에, 새롭게 입력할 필요는 없고 열측 FM의 조작을 종료한다. 이것은 도 6에서 a행의 복구가 확정된 경우, 이후 이 제a행 상의 불량 비트의 열측 FM에서의 취득이 행해지지 않는 것에 대응한다.

처리 스텝 SC4 또는 SC5가 행해진 후, 이 불량 비트를 입력할 필요가 있기 때문에, 열측 FM에 불량 비트 정보를 입력한다(스텝 SC6). 계속해서, 이 불량 비트의 열 어드레스에 대응하는 불량 비트 카운트 회로의 카운트값을 1 증가한다(스텝 SC7).

계속해서, 이 열 어드레스가 확정된 복구 열 어드레스와 일치하고 있는지의 여부의 판정이 행해진다(스텝 SC8). 이 확정 복구 열 어드레스 상의 불량 비트는 이미 복구가 확정되어 있기 때문에, 또한 조작을 행할 필요가 없게 되어 열측 FM의 조작이 완료된다. 이것은 도 9에 도시하는 구성에서 열측 FM에서 복구 확정 열 어드레스 "4"에 대하여 제e행에 불량 비트 정보가 취득하고 있는 상태에 대응한다. 또, 스텝 SC6 앞에 스텝 SC8이 행해지더라도 좋다.

한편, 이 불량 열 어드레스가 확정 복구 열 어드레스와 다른 경우, 행측 FM의 조작과 연동하여 처리가 행해진다.

도 17은 이 열측 FM 조작의 로우측 FM 조작과 연동하는 처리를 나타내는 플로우도이다.

스텝 SC8에서 열 어드레스가 확정 복구 열 어드레스와 일치하지 않은 경우에는 도 15에 도시하는 로우측 FM의 처리 스텝 SR9로 처리가 이행한다. 즉, 예를 들면 도 8에 도시하는 구성에서 열 어드레스 "4"는 아직 복구 열 어드레스로서 확정되지 않는다. 따라서, 전술한 행측 FM의 조작이 행해진다. 행측 FM에서 이 새로운 불량 비트에 의해 행측 FM의 모든 X측 어드레스에 행 어드레스의 할당이 행해지고 있을 때는 즉 스페어 행보다도 많은 불량 행이 존재하는 경우에는 스페어 행 회로에 의한 복구는 불가하다는 정보를 열측 FM으로 제공한다(노드 E).

열측 FM에서는 이 행측 스페어 복구 불가의 통지를 받으면, 불량 비트 카운트 회로 중 가장 카운트값이 큰 열 어드레스를 복구 어드레스라고 판정(확정)한다(스텝 SC9). 이것은 도 8에 도시하는 구성에서 열

측 FM5에서 제 4열의 카운트 회로의 카운트값이 가장 크기 때문에, 이 제4열을 복구 어드레스로써 확정하고 있는 동작에 대응한다.

이 복구 열 어드레스가 확정하면, 열측 FM의 Y측 어드레스에 그 열 어드레스의 할당을 완전히 고정한다(스텝 SC10). 처리는 도 8에서 열측 FM5의 제1열에 열 어드레스 "4"를 고정하고 있는 처리에 상당한다.

이 스텝 SC10에 의해, 복구 열 어드레스가 확정하면, 노드 H를 통하여 행측 FM에서 스텝 SR13 및 SR14에 의해, 대응하는 불량 행 어드레스 및 관련 정보의 클리어가 실행된다.

한편, 도 15에 도시하는 스텝 SR12에 의해 복구 행 어드레스가 확정하면, 노드 F를 통하여 그 복구 행 어드레스의 확정이 통지되면, 열측 FM에서 이 복구 행 상의 정보의 리세트가 행해진다. 즉, 우선 열측 FM의 Y측 어드레스에 할당되어 있던 열 어드레스를 완전 고정된 열 어드레스를 제외하여 클리어한다(스텝 SC11). 이 처리 조작은 도 6 및 도 10에 도시하는 조작에 대응한다. 이어서, 대응하는 불량 비트 카운트 회로의 카운트값을 리세트한다. 이에 따라, 일련의 열측 FM의 처리 조작이 완료한다. 이 후, 앞의 도 13에 도시하는 스텝 S12에서의 행측 및 열측 공통의 처리 조작이 실행된다.

도 18은 도 2에 도시하는 행 연산 처리 회로(7) 및 열 연산 처리 회로(8)의 구성을 개략적으로 나타낸 도면이다. 이들의 행 및 열 연산 처리 회로는 동일한 구성을 갖기 위하여, 도 18에서는 이들 중 하나의 연산 처리 회로(CPU)만을 나타낸다.

도 18에 있어서 연산 처리 회로 CPU는 소정의 알고리즘에 따라서 필요한 제어를 행하는 처리 제어 회로(10)와, 불량 비트 기억 메모리에 할당되는 어드레스 등을 기억하기 위한 레지스터 회로군(11)과, 불량 비트의 수 및 최대 카운트값 등을 검출하기 위한 연산 회로(ALU: 12)와, 복구 가부를 나타내는 플래그를 저장하는 플래그 레지스터(13)를 포함한다. 이들의 회로는 내부 버스(14)를 통하여 서로 접속된다.

처리 제어 회로(10)는 전술한 도 14 내지 도 17에 도시하는 알고리즘을 실현하는 프로그램에 따라서 소정의 처리를 실행한다.

레지스터 회로군(11)은 예를 들면, 대응하는 불량 비트 기억 메모리에 할당되는 어드레스를 대응하는 어드레스 플래그와 함께 저장한다. 이 어드레스 플래그는 대응하는 어드레스가 확정 상태가 되었을 때 세트된다.

플래그 레지스터(13)는 대응하는 용장 회로가 전부 사용되었을 때 새롭게 불량 비트 정보가 제공되면 "1"로 설정된다. 연산 회로(12)는 카운트값의 비교 등의 처리를 실행한다. 레지스터 회로군(11)의 어드레스를 참조하여, 대응하는 불량 비트 기억 메모리의 고정 어드레스로의 액세스가 금지되며 또한 이 어드레스를 참조하여, 미확정 복구 어드레스의 클리어 등이 행해진다.

이상과 같이, 본 발명의 실시 형태 1에 따르면, 반도체 메모리의 행 및 열 각각에 대하여 불량 비트 기억 메모리를 설치하고 있기 때문에, 시험 시간이 단축되고 또한 불량 비트 기억 메모리의 기억 용량도 저감된다.

또, 이 행 연산 처리 회로(7) 및 열 연산 처리 회로(8)의 양자 또는 한쪽이 도 13에 도시하는 4개의 처리 조작 즉 처리 종료의 관리 및 플래그값이 모두 "1"인지의 판단을 행한다.

[실시 형태 2]

도 19는 본 발명의 실시 형태 2에 따른 복구 가부 판정 장치의 구성을 개략적으로 나타낸 도면이다. 이 도 19에 도시하는 복구 가부 판정 장치(2)에서는 행측 불량 비트 기억 메모리 및 열측 불량 비트 기억 메모리에 공통으로 연산 처리 회로(20)가 설치된다. 행 불량 비트 카운터(4) 및 열 불량 비트 카운터(6)도 공통으로 이들의 연산 처리 회로(20)에 의해 제어된다.

1개의 연산 처리 회로(20)에 의해 행 및 열의 불량 비트 복구 가부 판정을 행함으로써, 복구 어드레스의 참조는 이 연산 처리 회로(20) 내의 레지스터를 참조하여 행할 수 있으며 처리가 고속화된다. 또한, 1개의 연산 처리 회로(20)가 설치되는 것 뿐이며 장치 규모가 저감된다.

이상과 같이, 본 발명의 실시 형태 2에 따르면, 불량 행 어드레스 및 불량 열 어드레스 복구의 가부 판정에 공통 연산 처리 회로(20)가 제공되기 때문에, 장치 규모가 저감된다.

[실시 형태 3]

도 20은 본 발명의 실시 형태 3에 따른 불량 비트 복구 가부 판정 동작의 플로우를 나타낸 도면이다. 이 도 20에 도시하는 복구 가부 판정 처리 플로우에서는 불량 비트가 발생한 후에 행해지는 복구 가부 판정에서 열 치환이 우선된다. 즉, 이 불량 비트가 발생하였다고 스텝 S11에서 판정되면, 우선 열측 불량 비트 기억 메모리(FM)의 조작 스텝 SCr과 행측 불량 비트 기억 메모리(FM)의 조작 스텝 SCr가 실행된다. 이 조작에서는 열 치환이 우선된다. 이 열측 불량 비트 기억 메모리(FM)의 조작 스텝 SCr은 앞 실시 형태 1에서의 행측 불량 비트 기억 메모리의 조작 스텝에서 행을 열로 치환하고 또한 X를 Y로 치환하는 처리 스텝에 의해 나타낸다. 또한 행측 불량 비트 기억 메모리의 조작 스텝 SCr도 앞의 실시 형태 1에서의 열측 불량 비트 기억 메모리의 조작 스텝 SC에서 열을 행으로 치환하고 또한 Y를 X로 치환함으로써 얻어진다.

이 열 치환을 우선하여 행하는 경우에는 스페어 열이 사용된 후, 즉 복구 열 어드레스가 확정된 후, 행측 불량 비트 기억 메모리에서 대응하는 X 어드레스의 클리어가 실행된다. 스페어 열 회로를 이용한 복구가 불가하다고 판정하였을 때에는 가장 카운트값이 큰 행 어드레스가 복구 어드레스로서 확정한다. 이 경우에서도 행 불량 비트 기억 메모리 및 열 불량 비트 기억 메모리가 별도로 설치되기 때문에 앞의 실시 형태 1과 동일한 효과를 얻을 수 있다.

[다른 적용 용도]

상술한 실시예에서는 반도체 메모리를 피시형 반도체 집적 회로 장치의 일례로서 나타내고 있다. 그리고, 예를 들면 메모리와 논리가 동일 반도체 칩 상에 집적화되는 메모리 내장 논리 또는 논리 혼재 메모리(logic-mixed memory)에 있어서도 이 메모리의 불량 비트 복구가 실행되기 때문에 본 발명은 적용 가능하다.

즉, 본 발명은, 행 어드레스와 열 어드레스로 어드레스 지정되는 메모리셀을 가지는 메모리 어레이와 불량 메모리셀(비트)을 복구하는 용장 회로를 구비하는 반도체 집적 회로 장치이면 적용 가능하다.

발명의 효과

이상과 같이, 본 발명에 따르면, 스페어 행 회로 및 스페어 열 회로 각각에 대응하여 불량 비트 기억 메모리를 설치하고 있기 때문에, 피시형 반도체 메모리의 복구 가부 판정에 필요한 시간을 단축시킬 수 있고 또한 불량 비트 기억 메모리의 기억 용량도 저장할 수 있다.

(57) 청구의 범위

청구항 1

각각이 행 및 열 어드레스에 의해 특정되는 복수의 메모리셀과, 상기 복수의 메모리셀중 불량 셀을 복구하기 위한 용장 회로(redundant circuit)를 구비하는 반도체 기억 장치를 시험하고, 상기 시험 결과에 따라서 상기 용장 회로에서 복구해야 할 불량 셀의 위치를 특정하고 또한 상기 용장 회로에 의한 복구 가부(可否)를 판정하기 위한 반도체 시험 장치에 있어서,

상기 행 어드레스 상에서의 불량 셀의 위치를 기억하기 위한 행 불량 비트 기억 메모리와,

상기 행 불량 비트 기억 메모리와는 별도로 설치되며, 상기 열 어드레스 상에서의 불량 셀 위치를 기억하기 위한 열 불량 비트 기억 메모리를 구비하고,

상기 행 및 열 불량 비트 기억 메모리의 합계 기억 용량(total storage capacity)은 상기 복수의 메모리셀의 기억 용량보다도 적은 것을 특징으로 하는 반도체 시험 장치.

청구항 2

제1항에 있어서, 상기 행 불량 비트 기억 메모리의 행에 대한 어드레스를 불량 비트 검출 시에 설정하기 위한 수단과,

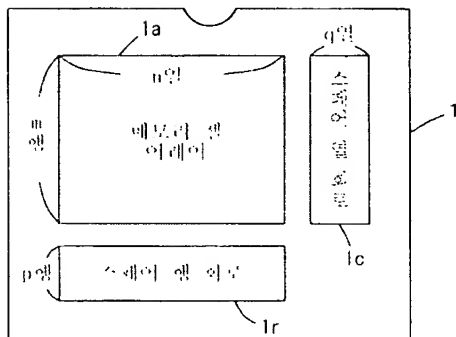
상기 열 불량 비트 기억 메모리의 열에 대하여 불량 비트 검출 시 어드레스를 설정하기 위한 수단을 구비하는 것을 특징으로 하는 반도체 시험 장치.

청구항 3

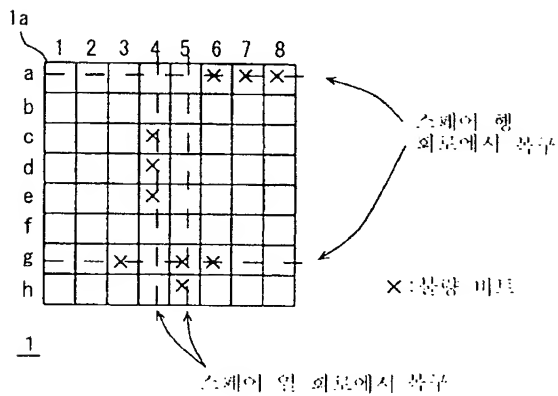
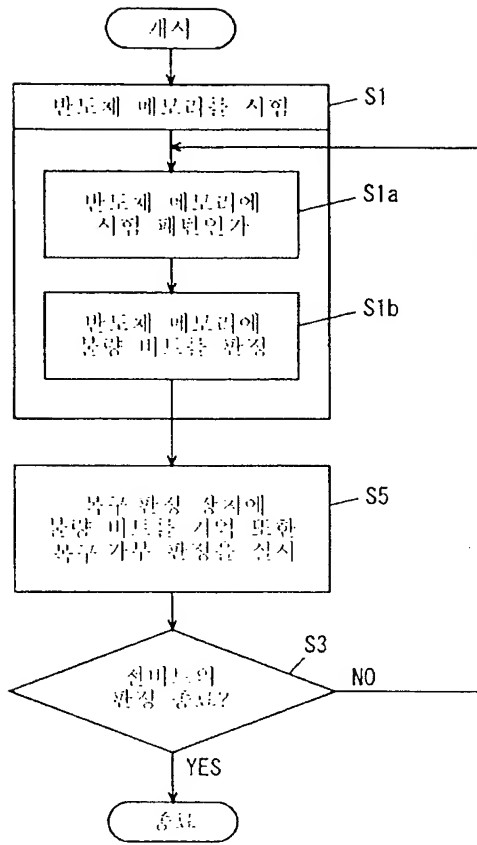
제1항에 있어서, 상기 행 불량 비트 기억 메모리의 각 행의 불량 비트수 및 상기 열 불량 비트 기억 메모리의 각 열의 불량 비트의 수를 개별적으로 카운트하는 카운트 수단과,

상기 불량 비트 검출 시, 상기 카운트 수단의 카운트값에 따라서 상기 불량 비트의 복구 가부를 판정하기 위한 연산 처리 수단을 더 구비하고,

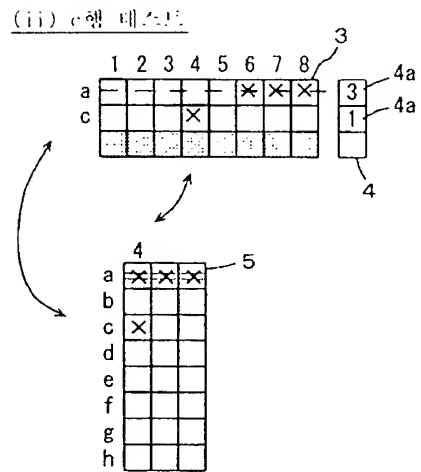
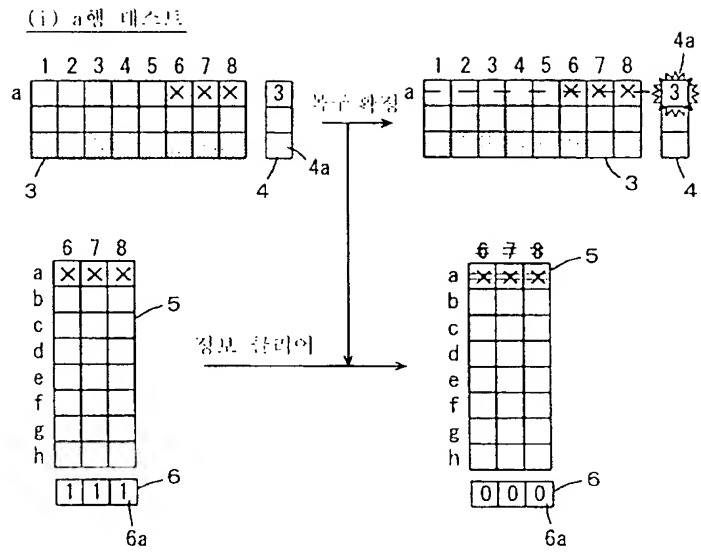
상기 연산 처리 수단은, 상기 카운트 수단의 카운트값에 따라서 상기 행 불량 비트 기억 메모리 및 상기 열 불량 비트 기억 메모리 각각에서 불량 비트 검출 시 상기 불량 비트의 복구 가부를 판정하는 제1 수단과, 치환 결정 시 사용되는 스페어 회로에 대응하는 불량 비트 기억 메모리의 어드레스를 상기 불량 어드레스로 고정하는 제2 수단과, 상기 고정된 어드레스의 카운트값에 따라서 피시형 반도체 기억 장치의 불량 비트가 복구 가능한지의 여부를 판정하는 제3 수단 중 적어도 하나를 포함하고, 상기 스페어 회로는 상기 행 불량 비트 기억 메모리 및 상기 열 불량 비트 기억 메모리 각각에 대응하여 설치되는 불량 비트 복구용 스페어 회로 중 어느 하나인 것을 특징으로 하는 반도체 시험 장치.



도면4

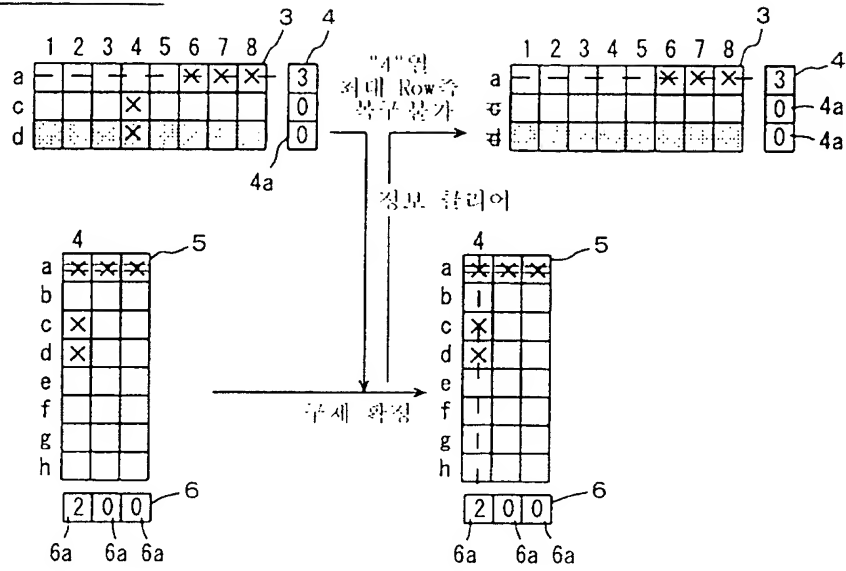


도면6



도면8

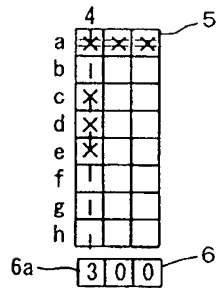
(iii) d행 테스트



24G

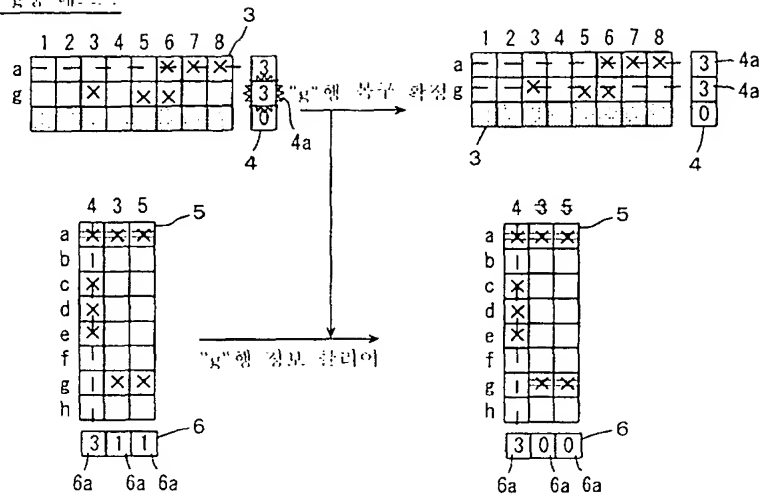
(iv) e행 테스트

제4열 분량 미트는 행수 분량 미트 기억 메모리로는 "4"열 부제 확정을 위해 적용하지 않는다



도면 10

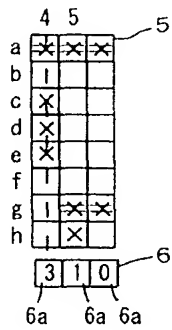
(v) g행 테스트



211

(vi) h행 테스트

행들 불량 비트 기원 메모리는
모든 복구 과정을 위해
최대 불가 → 행들 줄래 11



도면 12

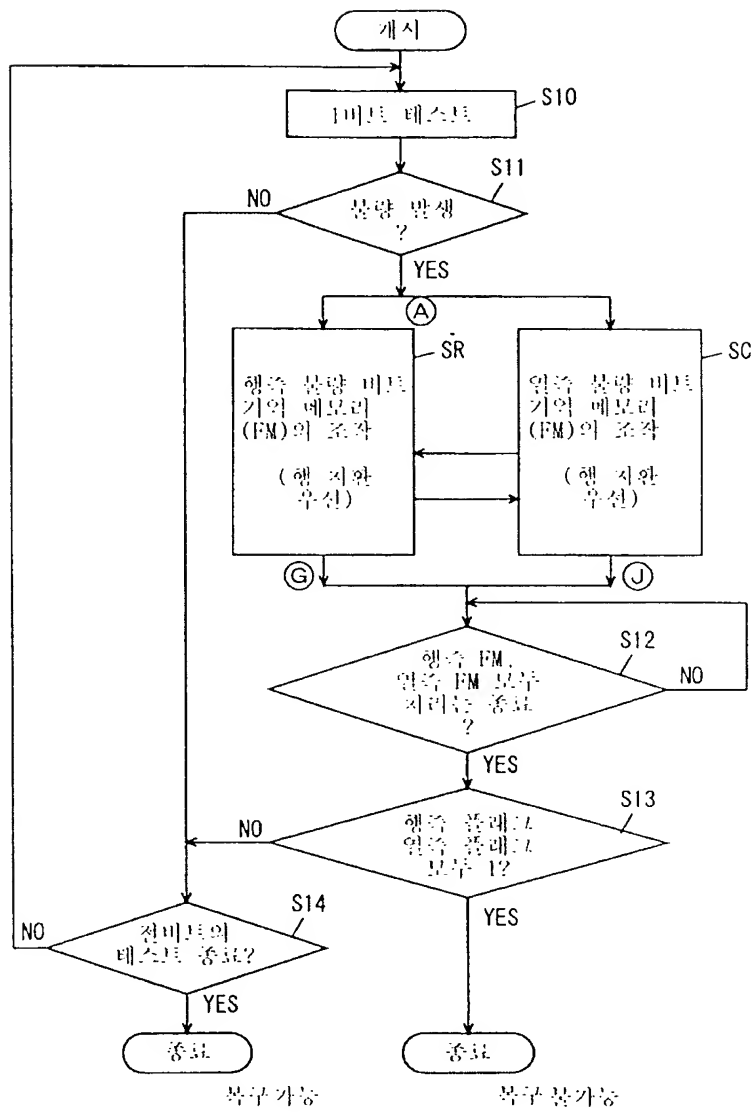
(vii) 테스트 결과

	1	2	3	4	5	6	7	8	3	4
a	-	-	-	-	*	*	*	*	3	4a
g	-	-	*	-	*	*	-	-	3	4a
									0	

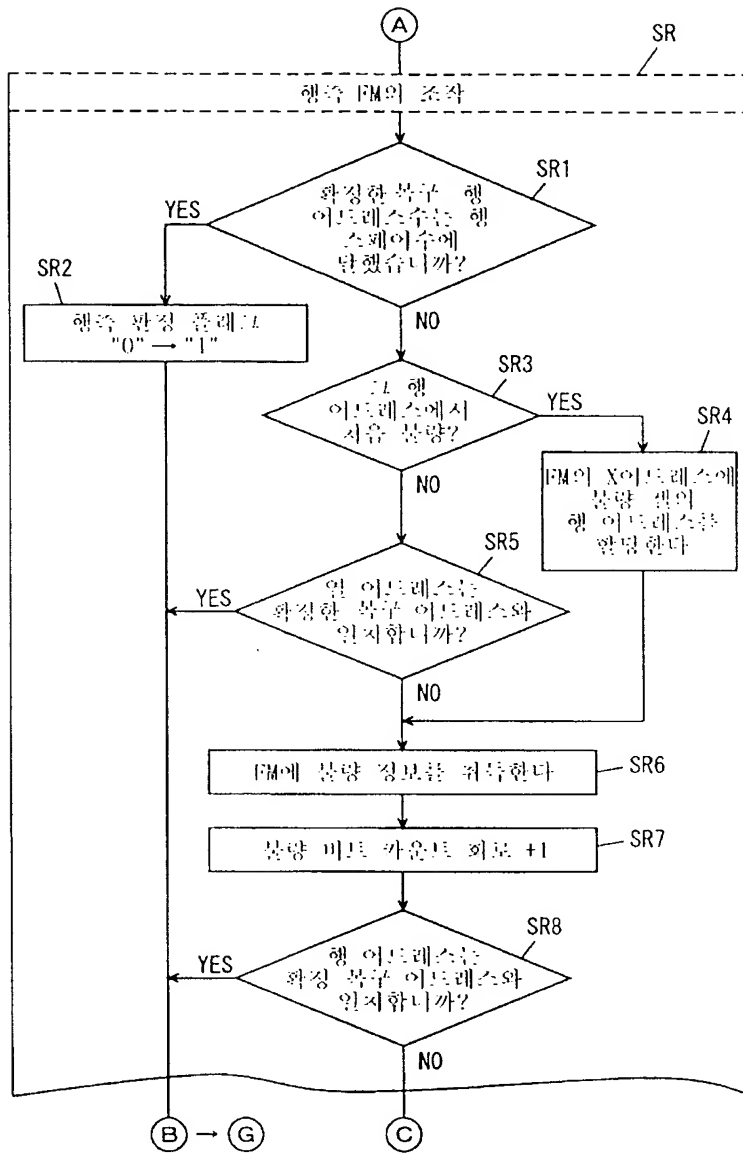
	4	5	5
a	*	*	*
b			
c	*		
d	*		
e	*		
f			
g		*	*
h		*	
6a	3	1	0
6a			

"5"열 복귀 화정

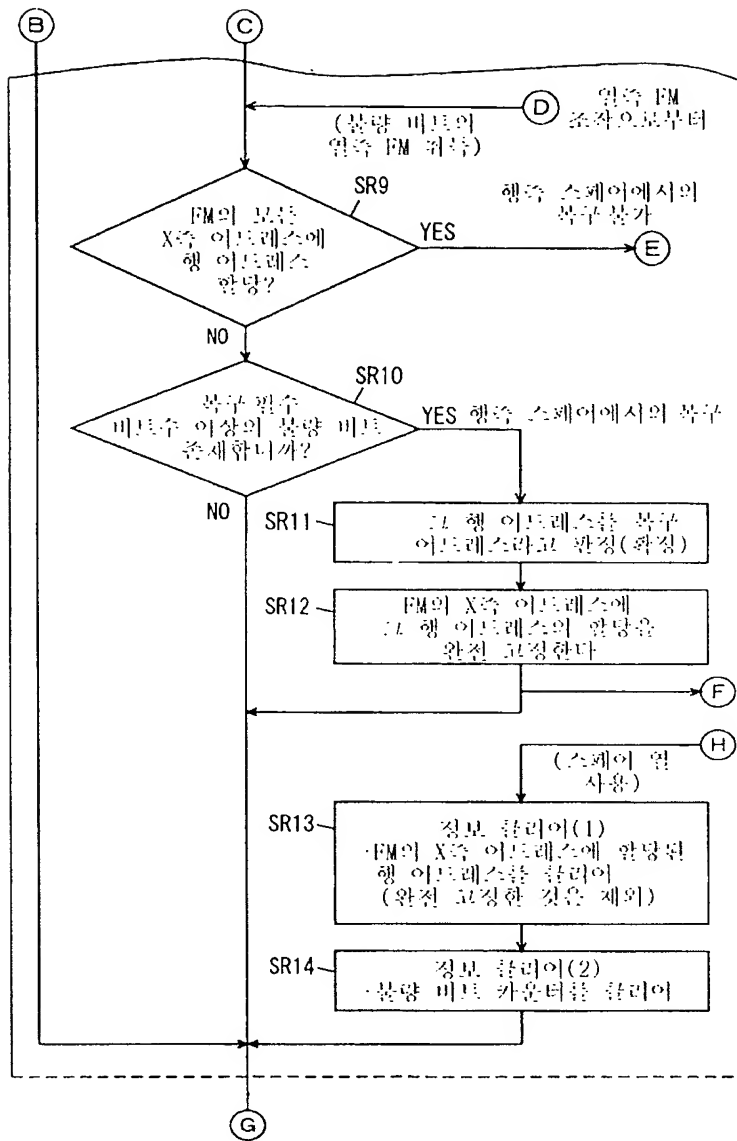
도면 13



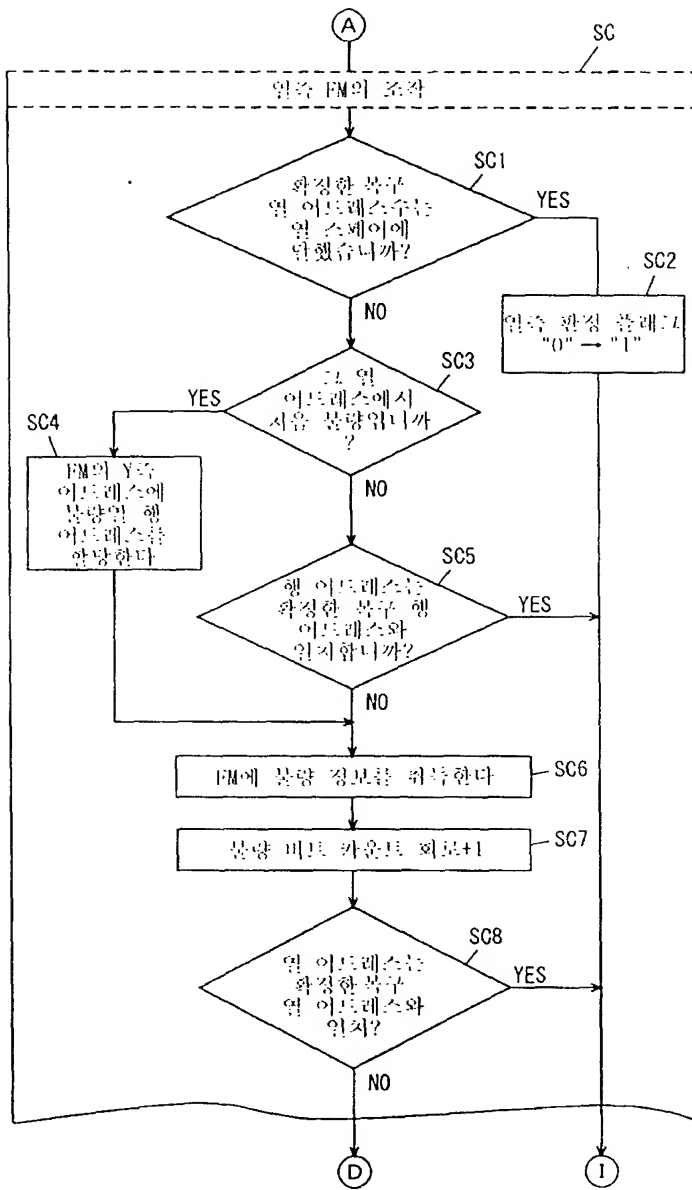
도면 14



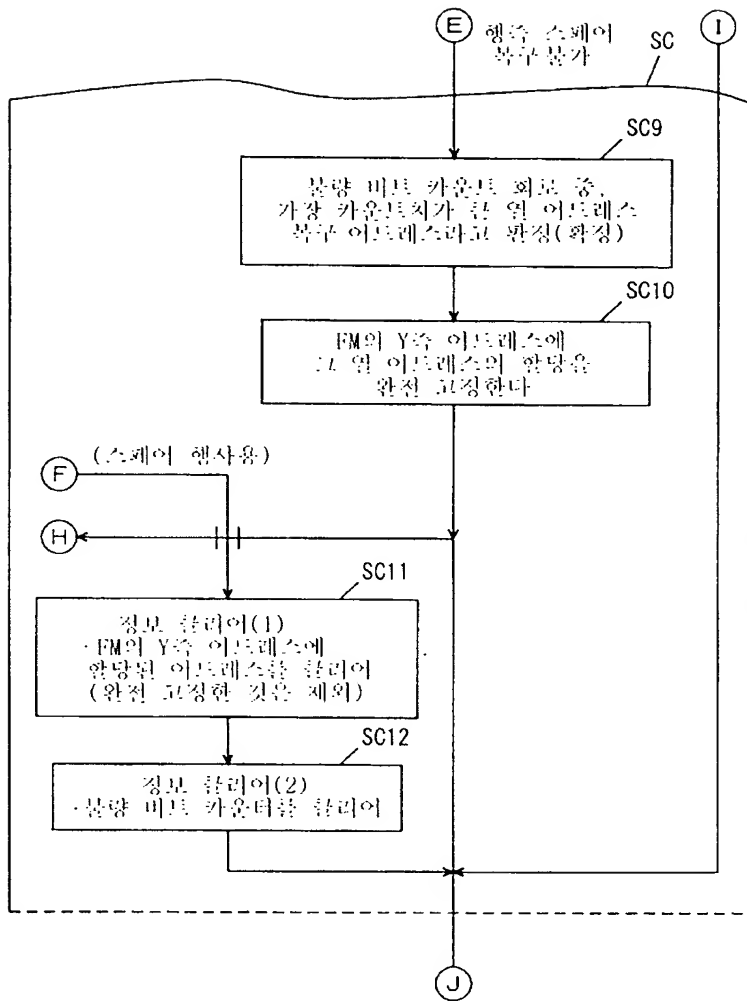
도면 15



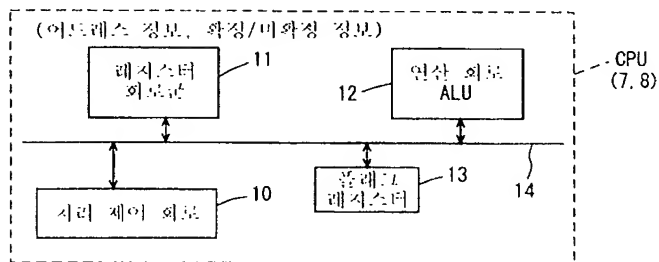
도면 16



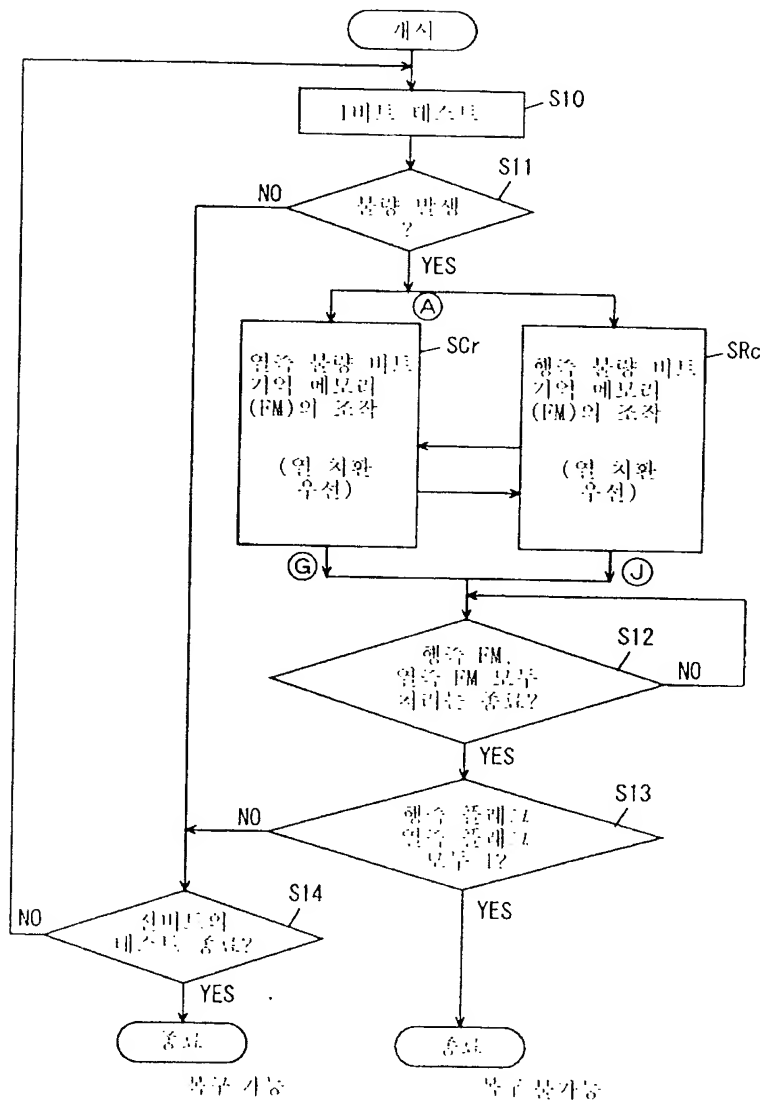
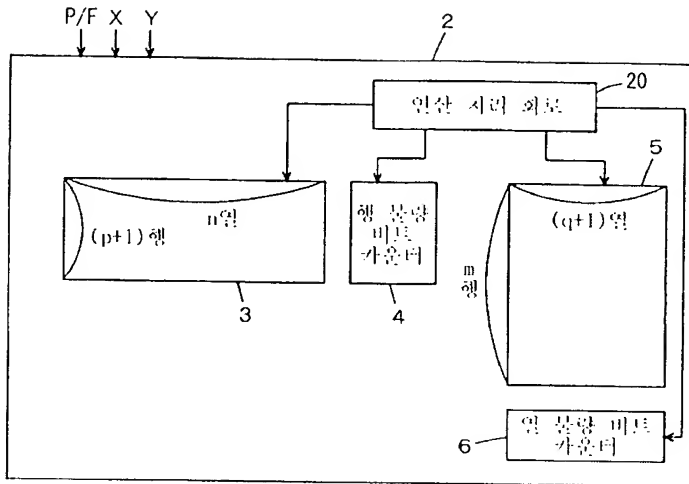
도면 17



도면 18

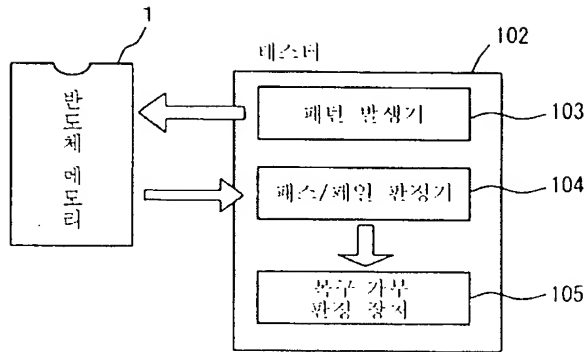


도 7: 19



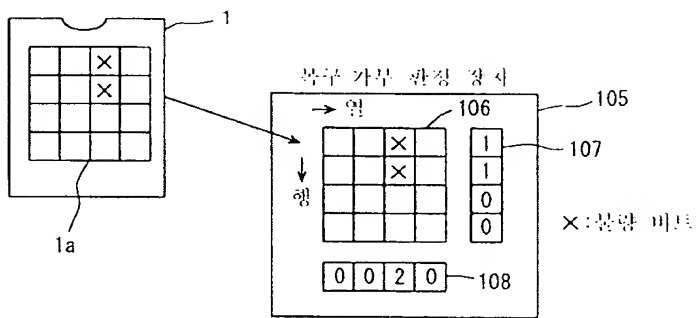
도면21

(종래 기술)



도면22

(종래 기술)



도면23

(종래 기술)

